

PLD MASTER を Windows-XP で利用する

Windows-XP で WebPACK を使用するには以下の方法があります。

1. 旧バージョンの WebPACK を使用して、プログラマのみ新しいバージョンを使用する。
2. WebPack6.3/7.1 を使用して新しい環境で使用する。

1の旧バージョンでの使用は手順が解説書と一致するため初めての方には問題が起こりにくい方法です。XP で使用できない問題は、パラレルポートドライバが用意されていないことが問題ですので、コンパイルした jed ファイルを書き込む時の問題です。そこで、この部分のみ新しいプログラムを使用する方法です。

2の WebPack6.3/7.1 を使用して PLD-MASTER を利用する方法は全く新しい環境による方法で、使用方法は旧バージョンと大きくは変わらないものの、操作性がよく、わかりやすい構成になっています。この点では新しいものをお勧めいたしますが、問題点として動作速度が遅い点が上げられますし、弊社でもすべての課題の動作を評価していない点があります。ある程度自力で問題を解決できる方はこちらを選択できます。

パソコンが2台ある方は使い分けてみたり、旧バージョンで一端動作させて、使い慣れたら新しいものに移行する方法もあるでしょう。各自の力量に応じて最適な方法を選択してください。

初心者の方はなるべく旧バージョンで進められることをお勧めいたします。

新しいバージョンにはマニュアルやチュートリアルがあり、操作方法の参考になります。特に VHDL によるアプローチではこちらの説明を参照願います。

ダウンロード

どちらの方法でも新しいプログラムのダウンロードが必要です。

www.xilinx.co.jpよりユーザ登録を行い、無償 ISE WebPACK 6.3i ダウンロードのページを開きます。ダウンロードの方法を読み、ダウンロードをおこないます。2005 年 4 月現在 ISE WebPACK 7.1i がダウンロードできます。ダウンロードはインストール用のプログラムを一旦読み込み、さらに本体のプログラムをダウンロードする方法がありますが、目的のプログラムを一挙にダウンロードしたほうが簡単です。そこで、「完全な CPLD ツールセット」をダウンロードします。大きなプログラムですので、ダウンロードやインストールには時間がかかります。

方法1の旧バージョンでの使用の場合は、プログラマだけをダウンロードすればよく、「完全なプログラミングツール」をダウンロードします。

新しいバージョンのマニュアルのダウンロードはザイリンクスオンラインマニュアルをダウンロードします。



[注意]
WebPACK7.1i は 2005 年 5 月の段階ではコンパイルが正常に行われないようです。

旧 WebPACK による使用手順

インストール

1. WebPACK_71_cfcpl_i.exe (WebPACK_63_cfcpl_i.exe) を実行しインストールします。
2. 画面の指示に従い進み、はじめにライセンスの承諾をします。
3. フォルダはデフォルトを使用します。
4. インストールが開始されると時間もかかります。



旧バージョンのインストールは解説書に従い行います。

Webpack_design_entry.exe

Webpack_cpld_fitter.exe

Webpack_ecs_cpldlib.exe

のファイルのみインストールし、プログラマーはインストールしません。

WebPack 使用の手順

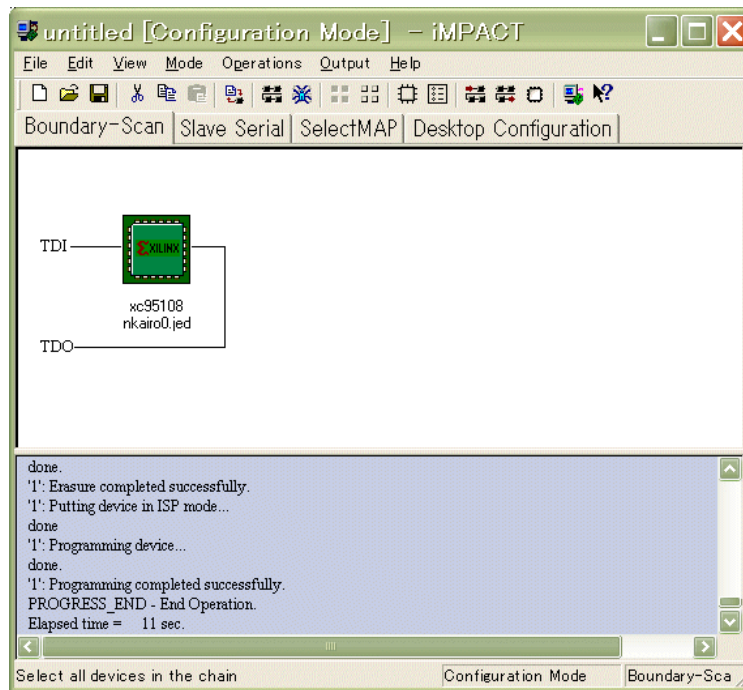
プロジェクトの作成、回路の入力、コンパイルまでの手順は解説書と同じです。そちらを参考にしてください。

書き込みの手順は異なります。2回目のインプリメント後に「Create Programming File」の項目をダブルクリックします。これにより xxx.jed ファイルが作られます。ここから解説書では「Launch Progra・・・」より書き込みに入りますが、プログラマーをインストールしていないため項目がありません。ここから新しいバージョンを起動するため次のように操作します。

xxx.jed の書き込み (ダウンロード)

1. PLD-MASTER 側のケーブル類を接続し、電源を入れます。ケーブルはしっかりと奥まで入れなければ動作エラーになります。
2. スタートより Xilinx_ISE の項目のアクセサリ、iMPACT を起動します。
3. 初めての起動ではいろいろな設定画面がでますので、デフォルト設定で送ります。
4. 自動的にボードの状態をチェックして 95108 のデバイスを探してきます。
5. ファイル入力の画面になりますからコンパイル結果の xxx.jed ファイルを指定します。
6. 画面上の PLD マークをクリックして選択します。
7. Operation メニューよりプログラムを選択し、OK を押して書き込みを開始させます。
8. 書き込みが完了すると大きな字で書き込み成功が示されます。
9. 逆に失敗すると赤字でエラーの表示がでます。この場合はパソコンの平行ポートの状態や、ケーブル、電源の問題です。平行ポートはパソコンにより設定がありますので、CMOS セットアップの設定を変更する必要がある場合もありますし、ノートパソコンなどはポートアドレスが一般的でない機種 (特に IBM) があります。ポートアドレスの設定などは Output メニューの Cable_Setup にて設定ができます。

本画面の使用方法は旧バージョンと大きく変わっていませんので、解説書の内容も参考にしてください。



プログラマは独立に動作しますので、xxx.jed ファイルを自由に書き込めます。中央の PLD マークをダブルクリックするとファイル名の入力画面が表示され、そこに jed ファイルを指定することでデータが変更されます。次のプロジェクトを書き込む場合も同様の方法で可能です。
終了時ファイルのセーブは必要ありません。

WebPACK 7.1i / 6.3 による使用手順

インストール

1. WebPACK_71_full_i.exe を実行しインストールします。(応答には大変時間がかかる)
2. 画面の指示に従い進む。はじめにライセンスの承諾します。
3. フォルダはデフォルトを使用します。(旧バージョンはアンインストールされる。)
4. インストールが開始されるとも時間がかかります。
5. デスクトップに Xilinx_ISE7.1i アイコンが用意されます。



WebPack 使用の手順

1. プロジェクトの作成

Xilinx_ISE7.1i アイコンからプログラムを起動します。

New-Project からスタートします。

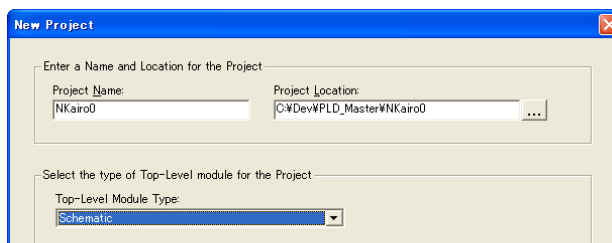
Project 名、使用フォルダ、Schematic の選択 (回路図入力時) します。

デバイス名称の入力、XC95108 PC84 -15 を指定します。

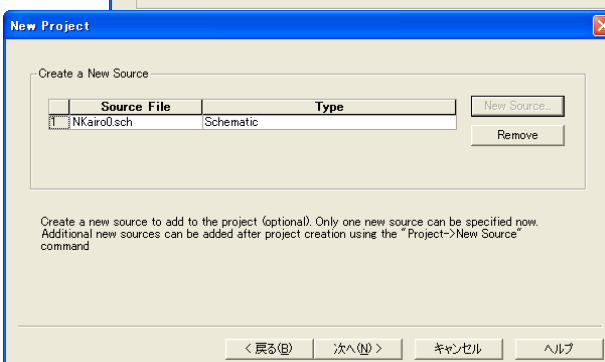
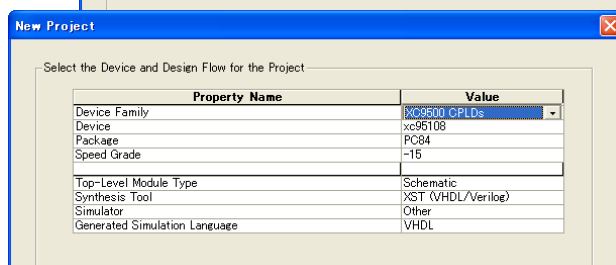
New Source は回路図のファイル名を入力し、種類を Schematic にします。(回路図入力時)

Add Source は無し。

Project 名、使用フォルダ、Schematic の選択
(回路図入力時)



デバイス名称の入力



回路図のファイル名を入力
種類を Schematic

2. 回路の入力

回路図の描き方は解説書とほぼ同じですがファンクションキーは使用できないようです。アイコン操作で作ります。

プロジェクト枠内の回路図ファイルをダブルクリックすると起動します。

プロジェクト画面に組み込まれる場合は独立させたほうが使いやすいでしょう。

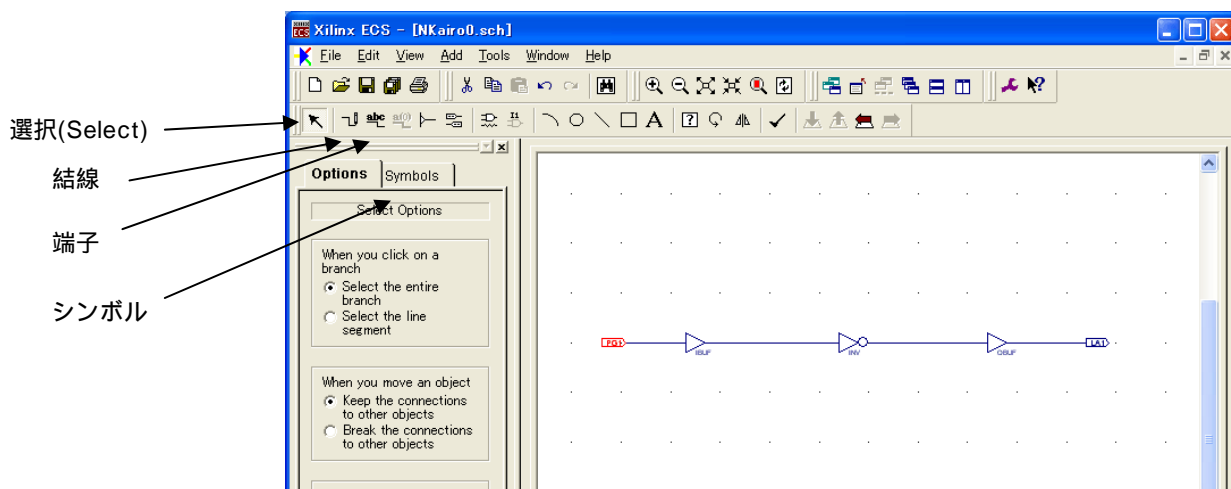
シンボルを置きます。

シンボル間を結線します。

IO Marker を使用して入力、出力端を囲い端子を作ります。（ここは解説書と異なる）

Select を使用して各端子をダブルクリックし、端子名称と入出力方向を指定します。

セーブして終了します。



3. コンパイル

基本的な手順は解説書と同じです。

Implement_Design をダブルクリックしコンパイルをスタートします。

4. フィットting

ピン配置を指定します。

Optional Implimentation Tools 中の Lock Pin をダブルクリックして ucf ファイルを作成します。

一番上の Add Existing Source をダブルクリックして xxx_locked.ucf の Ucf ファイルを選択します。

ピン番号の指定は Edit Constraints を使用すると解説書のように文字で入力できます。ダブルクリックして LOC= のピン番号指定を編集し最後にセーブします。

編集画面は終了します。

Assign Package Pins を使用するとビジュアルな画面で編集ができます。

Assign Package Pins をダブルクリックします。

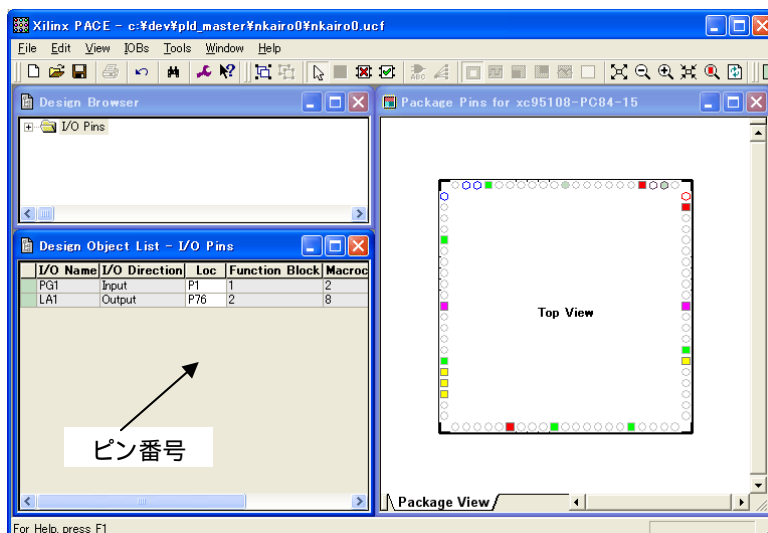
画面が表示され左下に各端子名が表示されます。

Loc の項目にピン番号を入力する。

“P25”のように入力します。

セーブして終了します。

作業性はテキスト画面のほうが優れています。



5. 再コンパイル

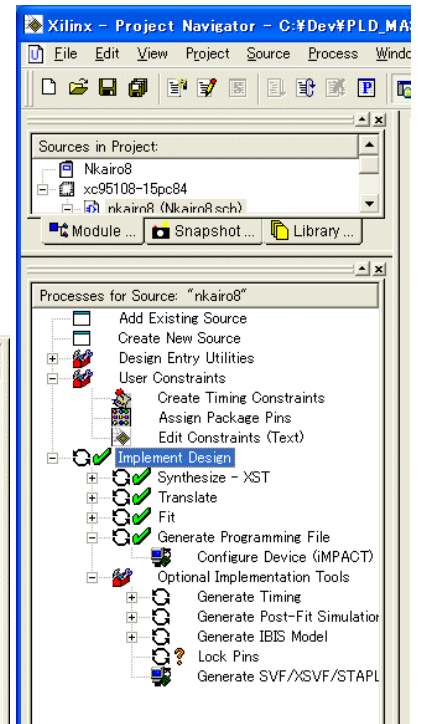
再度コンパイルを行います。

項目がない場合は回路図ファイルを選択します。

Implement_Design をダブルクリックしスタートします。

コンパイル結果が表示されます。内容を確認します。(ucf の編集画面は終了する)

Pin_List よりピン配置を確認できます。



The screenshot displays the 'CPLD Reports' window for an XC9500 device. The 'Fitter Report' is selected, and the 'Summary' section is expanded. It shows the following data:

Design Name	nkairo8
Fitting Status	Successful
SW Version	G.35
Device Used	XC95108-15-PC84
Date	5- 8-2005, 2:57PM

RESOURCES SUMMARY

Macrocells Used	Pterms Used	Registers Used	Pins Used	Function Block Inputs Used
4/108 (4%)	12/540 (3%)	4/108 (4%)	7/69 (11%)	6/216 (3%)

PIN RESOURCES

Signal Type	Required	Mapped	Pin Type	Used	Remaining
Input	3	3	I/O	5	58
Output	4	4	GCK/I/O	0	3
Bidirectional	0	0	GTS/I/O	2	0
GCK	0	0	GSR/I/O	0	1
GTS	0	0			
GSR	0	0			

MACROCELL RESOURCES

ピン番号の確認

The screenshot shows the 'Pin List' section of the 'CPLD Reports' window. The 'Pin List' menu item in the left sidebar is highlighted with an arrow. The main area displays a table of pin configurations:

62	I/O		TIE
63	I/O		TIE
64	VCCIO		VCC
65	I/O		TIE
66	I/O		TIE
67	I/O		TIE
68	I/O		TIE
69	I/O		TIE
70	I/O		TIE
71	I/O		TIE
72	I/O		TIE
73	VCCINT		VCC
74	I/O/GSR		TIE
75	I/O		TIE
76	I/O/GTS1		LA1
77	I/O/GTS2		LA2
78	VCCINT		VCC
79	I/O		LA3
80	I/O		LA4
81	I/O		TIE
82	I/O		TIE
83	I/O		TIE
84	I/O		TIE

Buttons for 'back to top', 'legend', and 'print page' are visible at the bottom of the report.

5 . 書き込み

PLD マスターをセットします。(前の説明と同様ですので参考にして下さい。)

Implement_Design Generate Programming... Configure Device をダブルクリックしスタートします。
Automatically...を選んで完了を入力するとケーブル接続を確認して Boundary Scan のメッセージが表示されます。[OK]にてファイルのセレクト画面になります。

コンパイルした jed ファイルを選択します。(Xxx.jed ファイル)

画面上 PLD デバイスをクリックし選択します。

メニューの Operation Programming より書き込みを行います。

